

대한민국 특허청
KOREAN INTELLECTUAL PROPERTY OFFICE

별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto
is a true copy from the records of the Korean Intellectual
Property Office.

출원번호 : 10-2002-0041562
Application Number

출원년월일 : 2002년 07월 16일
Date of Application JUL 16, 2002

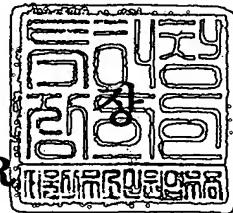
출원인 : 주식회사 하이닉스반도체
Applicant(s) Hynix Semiconductor Inc.



2003년 05월 29일

특허청

COMMISSIONER



【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0007
【제출일자】	2002.07.16
【발명의 명칭】	비지에이 패키지와 티에스오피 패키지를 적층하여 형성한 반도체 소자
【발명의 영문명칭】	A SEMICONDUCTOR DEVICE WHICH IS FORMED BY STACKING A BGA PACKAGE AND A TSOP PACKAGE
【출원인】	
【명칭】	주식회사 하이닉스반도체
【출원인코드】	1-1998-004569-8
【대리인】	
【성명】	강성배
【대리인코드】	9-1999-000101-3
【포괄위임등록번호】	1999-024436-4
【발명자】	
【성명의 국문표기】	김지연
【성명의 영문표기】	KIM, Ji Yon
【주민등록번호】	741125-2953112
【우편번호】	467-860
【주소】	경기도 이천시 부발읍 아미리 산 136-1번지
【국적】	KR
【취지】	특허법 제42조의 규정에 의하여 위와 같이 출원합니다. 대 리인 배 (인) 강성
【수수료】	
【기본출원료】	16 면 29,000 원
【가산출원료】	0 면 0 원
【우선권주장료】	0 건 0 원
【심사청구료】	0 항 0 원
【합계】	29,000 원
【첨부서류】	1. 요약서·명세서(도면)_1통

【요약서】**【요약】**

본 발명은 반도체 장치에 관한 것으로서, BGA 패키지를 갖는 제1 및 제2 반도체 소자와, 윗면에는 도체 패턴이 형성되어 있으며 아랫면에는 솔더볼이 장착되고, 상기 제1 반도체 소자의 솔더볼이 상기 도체 패턴의 일단에 부착되는 인쇄 회로 기판과, 상기 제1 반도체 소자 위를 가로질러 부착되며, 일단이 상기 도체 패턴의 타단에 부착되고 타단이 상기 제2 반도체 소자의 소정 솔더볼과 부착되는 리드프레임을 구비하며, 상기 리드프레임은 상기 제1 반도체 소자와 상기 제2 반도체 소자의 전기적 연결을 위하여 소정 패턴을 갖는다.

【대표도】

도 6c

【색인어】

반도체, 패키지, BGA, TSOP, 리드프레임, 인쇄 회로 기판

【명세서】**【발명의 명칭】**

비지에이 패키지와 티에스오피 패키지를 적층하여 형성한 반도체 소자{A SEMICONDUCTOR DEVICE WHICH IS FORMED BY STACKING A BGA PACKAGE AND A TSOP PACKAGE}

【도면의 간단한 설명】

도 1은 종래의 칩 적층 패키지의 일 예를 도시한 도면.

도 2는 종래의 칩 적층 패키지의 다른 예를 도시한 도면.

도 3은 종래의 티에스오피 적층 패키지를 일 예를 도시한 도면.

도 4는 본 발명에 의한 리드프레임을 도시한 도면.

도 5는 본 발명에 의한 인쇄 회로 기판의 평면도.

도 6은 본 발명의 일 실시예에 따라 비지에이 패키지 위에 비지에이 패키지를 적층하는 제조 과정을 도시한 도면.

도 7은 본 발명의 다른 실시예에 따라 티에스오피 패키지 위에 비지에이 패키지를 적층한 반도체 소자를 도시한 도면.

【발명의 상세한 설명】**【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

<8> 본 발명은 반도체 소자에 관한 것으로서, 특히 비지에이 패키지(BGA package)와 티에스오피(TSOP package)를 적층하여 형성한 반도체 소자에 관한 것이다.

<9> 적층된 패키지(stacked package)는 원칩 솔루션 웨이퍼(one chip solution wafer)의 개발이 이루어지기 전에 개발 완료된 반도체 칩을 사용하여 2배의 밀도를 구현할 수 있다는 점에서 많이 개발되어 왔다. 이는 크게 2개의 칩을 적층하여 1개의 패키지 내부에 위치시키는 칩 스택 패키지(chip stack package) 방식과, 이미 패키지로 완성된 것을 적층하여 2배의 밀도를 구현하는 티에스오피(TSOP : Thin Small Outline Package) 스택 패키지 또는 비지에이(BGA : Ball Grid Array) 스택 패키지로 구분될 수 있다.

<10> 칩 스택 패키지는 다음과 같은 2가지 방식으로 주로 구현된다. 먼저 도 1에 도시되어 있는 바와 같이 칩 크기가 다르고 모서리에 본딩 패드를 갖는 두 칩(102, 104)을 기판(106)에 페이스업(face-up) 방향으로 쌓고 와이어 본딩으로 연결하는 방식으로 구현할 수 있다. 그리고 도 2에 도시되어 있는 바와 같이 하위(下位) 칩(202)에 범프(bump) 등의 단자(208)를 형성한 후 이방성 전도 필름(anisotropic conductive film)이나 비전도성 필름(non-conductive film)을 사용하여 기판(206)에 연결하고 상위 칩(204)은 도 1에서와 같이 와이어 본딩으로 연결하는 방식으로 구현할 수도 있다.

<11> 그런데 이와 같은 칩 스택 방식은 패키지 수율이 무시된, 탐침(probe) 테스트만을 끝낸 칩을 사용하므로 패키지 공정 중 불량이 발생하는 것에 대해서는 스크린(screen)이 되지 않아 2배의 수율 감소가 예상된다. 예를 들어, 웨이퍼 1장당 패키지 수율이 80%라면 칩 스택 패키지의 수율은 64%로 예상된다. 또한 칩 스택 패키지는 틈새 시장을 목표로 하는 만큼 수요가 있을 때마다 소량으로 생산하여 시장 대응을 하는 것이 유리하므로, 칩 스택 패키지 방식은 그런 면에서도 어느 정도의 위험 부담을 안고 있다 고 하겠다.

<12> 도 3은 TSOP 스택 패키지를 도시한 것이다. 이러한 패키지 방식은 칩의 밀도만 증가시킬 뿐이며, 데이터 대역폭을 고정시켜야 한다는 한계를 가지고 있다. 또한 이 방식은 리드(lead) 수는 증가시킬 수 없어 상위 패키지(302) 내부의 칩과 하위 패키지(304) 내부의 칩의 칩 선택 핀(chip select pin)을 분리하여 하나는 칩 선택 핀에 연결하고, 또 다른 하나는 미연결 핀(no connection pin)에 연결하여 사용하도록 한다. 따라서 TSOP 스택 패키지는 미연결 핀이 존재하여야 한다는 제약이 따른다. 또한 TSOP 스택 패키지의 경우 두 칩의 크기와 리드의 위치가 동일해야 한다.

【발명이 이루고자 하는 기술적 과제】

<13> 본 발명은 이와 같은 문제점을 해결하기 위하여 도출된 것으로서, 반도체 소자의 패키지의 종류나 크기에 관계없이 다수의 패키징된 반도체 소자를 적층하여 형성된 반도체 장치를 제공하는 것을 목적으로 한다.

【발명의 구성 및 작용】

<14> 이러한 목적을 이루기 위한 본 발명은 반도체 장치에 있어서, BGA 패키지를 갖는 제1 및 제2 반도체 소자와, 윗면에는 도체 패턴이 형성되어 있으며 아랫면에는 솔더볼이 장착되고, 상기 제1 반도체 소자의 솔더볼이 상기 도체 패턴의 일단에 부착되는 인쇄 회로 기판과, 상기 제1 반도체 소자 위를 가로질러 부착되며, 일단이 상기 도체 패턴의 타단에 부착되고 타단이 상기 제2 반도체 소자의 소정 솔더볼과 부착되는 리드프레임을 구비하며, 상기 리드프레임은 상기 제1 반도체 소자와 상기 제2 반도체 소자의 전기적 연결을 위하여 소정 패턴을 갖는 것을 일 특징으로 한다.

<15> 또한 본 발명은 반도체 장치에 있어서, TSOP 패키지를 갖는 제1 반도체 소자와, BGA 패키지를 갖는 제2 반도체 소자와, 윗면에는 도체 패턴이 형성되어 있으며 아랫면에는 솔더볼이 장착되고, 상기 제1 반도체 소자의 리드가 상기 도체 패턴의 일단에 부착되는 인쇄 회로 기판과, 상기 제1 반도체 소자 위를 가로질러 부착되며, 일단이 상기 도체 패턴의 타단에 부착되고 타단이 상기 제2 반도체 소자의 소정 솔더볼과 부착되는 리드 프레임을 구비하며, 상기 리드프레임은 상기 제1 반도체 소자와 상기 제2 반도체 소자의 전기적 연결을 위하여 소정 패턴을 갖는 것을 다른 특징으로 한다.

<16> 이와 같은 본 발명의 구성에 의하면 1차 레벨의 패키지가 완성된 반도체 소자를 사용하므로 수율 감소의 위험이 적다. 또한 본 발명에 의하면 기존의 기술을 약간 수정하는 것만으로 구현할 수 있고 이미 개발된 재료를 사용하므로 경제적인 적층 패키지를 구현할 수 있다. 또한 본 발명에 의하면 패키지 종류에 상관없이 다수의 패키지를 한꺼번에 적층할 수 있다. 그리고 본 발명은 리플로우를 한번에 할 수 있어 신뢰성이 양호하다.

<17> 이하, 첨부된 도면을 참조하여 본 발명의 일 실시예를 상세히 설명한다. 설명의 일관성을 위하여 도면에서 동일한 참조부호는 동일 또는 유사한 구성요소 및 신호를 가리키는 것으로 사용한다.

<18> 도 4는 본 발명에 의한 리드프레임을 도시한 도면으로서, 도 4a는 평면도이고, 도 4b는 측면도이다. 리드프레임(400)은 합금(alloy) 42 또는 구리(Cu) 등 전기적 도통을 가능하게 하고 일정 모양을 형성하여 지지해 줄 수 있는 사용하여 제작된다. 도 4a에 도시되어 있는 바와 같이 리드프레임(400)의 일단(402)은 적층되는 패키지들간의 단자 연결 관계에 따라 결정된 소정의 패턴을 갖으며, 상위 패키지의 솔더볼이 부착된다. 그리

고 리드프레임(400)의 타단(404)은 도 5에 도시된 인쇄 회로 기판(500)의 보드 평거(board finger)(502)에 부착된다. 인쇄 회로 기판(500)의 중심부(504)에는 후위 패키지의 솔더볼 또는 리드프레임이 부착되는 볼 랜드(도시되지 않음)가 형성되어 있으며, 이 볼 랜드는 상위 패키지와 후위 패키지의 단자 연결 관계에 따라 결정된 소정의 방식으로 도체 라인(metal line)을 통해 보드 평거(502)에 전기적으로 연결되어 있다. 도체 라인은 구리(Cu) 또는 이와 유사한 금속으로 이루어진다.

<19> 도 6은 본 발명의 일 실시예에 따라 BGA 패키지 위에 BGA 패키지를 적층하는 제조 과정을 도시한 도면이다. 먼저 도 6a에 도시되어 있는 바와 같이 인쇄 회로 기판(602) 위에 BGA 패키지를 갖는 반도체 소자(604)를 얹는다. 반도체 소자(604)의 솔더볼(610)은 도 5를 참조하여 설명한 바와 같은 중심부(504)의 단자에 올려진다. 다음에는 도 4에 도시된 바와 같은 리드프레임(608)을 반도체 소자(604) 위에 가로질러 올려놓는다. 이때 리드프레임(608)의 일단(도 4의 404)이 인쇄 회로 기판(602)의 윗면에 형성된 보드 평거(614)와 닿도록 한다. 다음에는 다른 BGA 패키지를 갖는 반도체 소자(606)를 리드프레임(608) 위에 얹는다. 이때 반도체 소자(606)의 솔더볼(612)은 리드프레임의 타단(도 4의 402)에 닿도록 한다. 다음에는 솔더 페이스트(solder paste)(도시되지 않음)을 보드 평거(614)에 도포하고, 한꺼번에 솔더볼(610, 612)과 솔더 페이스트에 대해 리플로우를 수행한다. 그리고 도 6c에 도시되어 있는 바와 같이 솔더볼(616)을 인쇄 회로 기판(602)의 윗면에 위치한 볼 랜드(ball land)에 부착한다. 솔더 볼(610, 612, 616)은 주석(Sn)을 기본으로 하고, 선택적으로 납(Pb), 은(Ag), 인듐(In), 비스무스(Bi), 금(Au), 아연(Zn), 구리(Cu), 안티몬(Sb) 등을 추가한 재질로 이루어진다. 그리고 솔더 볼(610, 612, 616)의 크기는 최소 100 μm 에서 최대 1mm이다.

<20> 리드프레임(608)에서 상위 패키지(606)의 솔더볼이 부착되는 부근 및 인쇄 회로 기판(602)의 보드 평거(614)와 부착되는 부근은 솔더링(soldering)을 용이하게 하기 위하여 표면을 도금한다. 이러한 도금은 주석(Sn)을 기본으로 하고, 선택적으로 납(Pb), 은(Ag), 인듐(In), 비스무스(Bi), 금(Au), 아연(Zn), 구리(Cu) 등을 추가하거나, 팔라듐(Pd), 니켈(Ni) 등을 재료로 하여 솔더(solder)의 습윤(wetting)을 증가시키는 것이 바람직하다.

<21> 리드프레임(608)은 도 6a에 명시되어 있는 바와 같이 상위 패키지(606) 내부의 칩을 기판(602)과 전기적으로 연결하는 역할을 한다. 보드 평거(614)는 리드프레임(608)의 일단이 기판(602) 상에 안착되도록 한다. 리드프레임(608)과 보드 평거(614)의 연결을 더욱 견고하게 하여 보드 평거(614)에 범프(bump)를 형성한다. 이러한 범프는 금(Au) 또는 니켈(Ni) 등 전기적 도통이 가능한 물질로 이루어지며, 범프의 크기는 보드 평거(614)의 크기에 준하며 높이는 최소 $1\mu\text{m}$ 에서 최대 $100\mu\text{m}$ 로 한다.

<22> 도 7은 본 발명의 다른 실시예에 따라 TSOP 패키지 위에 BGA 패키지를 적층한 반도체 소자를 도시한 도면이다. 도 6에서 후위 반도체 소자(604)는 솔더볼(610)을 통해 인쇄 회로 기판(602)에 전기적으로 연결되는데 비해, 도 7에서 후위 반도체 소자(702)는 자신의 패키지에 구비된 리드프레임(706)을 통해 인쇄 회로 기판(710)에 전기적으로 연결되는 점에서 구별된다. 그 외는 도 6에서의 경우와 모두 동일하므로 다시 설명하지 않는다.

<23> 리드프레임(608) 대신에 티에이비(TAB) 테이프를 사용할 수도 있다. 인쇄 회로 기판(602)와 함께 티에이비 테이프를 사용하여 상위 패키지(606)와 하위 패키지(604)를 전기적으로 연결하는 경우, 티에이비 테이프의 일단은 열 압착(thermal compression) 또는

초음파 압착(super sonic compression) 방법에 의해 보드 평거(614)에 부착된다. 텁 테이프의 접착성 물질은 에폭시 관련 열가소성 수지이거나 접착 유리(adhesive glass) 또는 접착성 테이프를 사용하며, 접착성 테이프인 경우 그 두께는 최소 10 μm 에서 최대 100 μm 이고, 절연성이 있는 폴리머(polymer)이다.

<24> 여기서 설명된 실시예들은 본 발명을 당업자가 용이하게 이해하고 실시할 수 있도록 하기 위한 것일 뿐이며, 본 발명의 범위를 한정하려는 것은 아니다. 따라서 당업자들은 본 발명의 범위 안에서 다양한 변형이나 변경이 가능함을 주목하여야 한다. 본 발명의 범위는 원칙적으로 후술하는 특허청구범위에 의하여 정하여진다.

【발명의 효과】

<25> 이와 같은 본 발명의 구성에 의하면 1차 레벨의 패키지가 완성된 반도체 소자를 사용하므로 수율 감소의 위험이 적다. 또한 본 발명에 의하면 기존의 기술을 약간 수정하는 것만으로 구현할 수 있고 이미 개발된 재료를 사용하므로 경제적인 적층 패키지를 구현할 수 있다. 또한 본 발명에 의하면 패키지 종류에 상관없이 다수의 패키지를 한꺼번에 적층할 수 있다. 그리고 본 발명은 리플로우를 한번에 할 수 있어 신뢰성이 양호하다. 또한 본 발명과 같은 방법으로 보드에 반도체 메모리 소자를 수직으로 쌓으면 손쉽게 메모리 용량을 증가시킬 수 있다.

【특허청구범위】**【청구항 1】**

반도체 장치에 있어서,

BGA 패키지를 갖는 제1 및 제2 반도체 소자와,

윗면에는 도체 패턴이 형성되어 있으며 아랫면에는 솔더볼이 장착되고, 상기 제1 반도체 소자의 솔더볼이 상기 도체 패턴의 일단에 부착되는 인쇄 회로 기판과,
상기 제1 반도체 소자 위를 가로질러 부착되며, 일단이 상기 도체 패턴의 타단에
부착되고 타단이 상기 제2 반도체 소자의 소정 솔더볼과 부착되는 리드프레임을

구비하며,

상기 리드프레임은 상기 제1 반도체 소자와 상기 제2 반도체 소자의 전기적 연결을
위하여 소정 패턴을 갖는 것을 특징으로 하는 반도체 장치.

【청구항 2】

반도체 장치에 있어서,

TSOP 패키지를 갖는 제1 반도체 소자와,

BGA 패키지를 갖는 제2 반도체 소자와,

윗면에는 도체 패턴이 형성되어 있으며 아랫면에는 솔더볼이 장착되고, 상기 제1 반도체 소자의 리드가 상기 도체 패턴의 일단에 부착되는 인쇄 회로 기판과,
상기 제1 반도체 소자 위를 가로질러 부착되며, 일단이 상기 도체 패턴의 타단에
부착되고 타단이 상기 제2 반도체 소자의 소정 솔더볼과 부착되는 리드프레임을
구비하며,

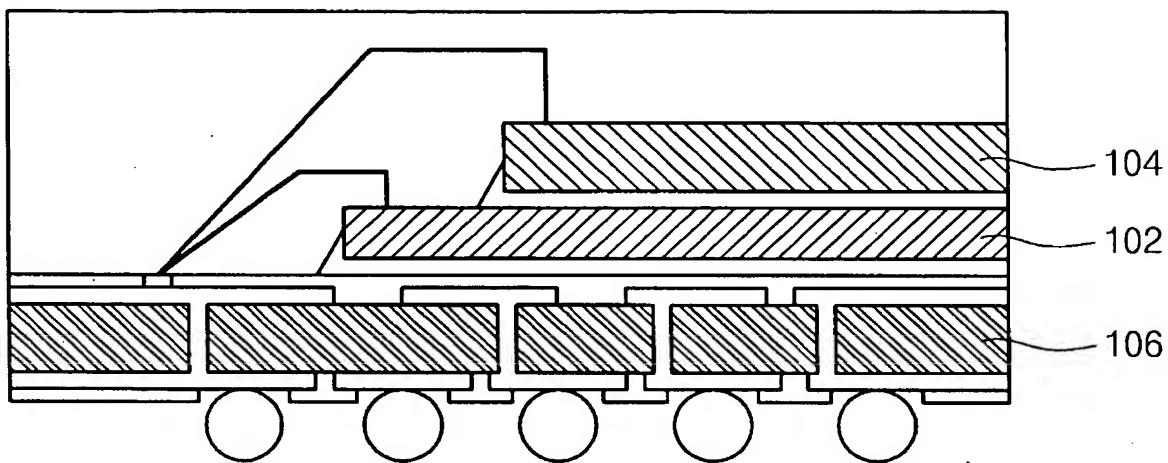
1020020041562

출력 일자: 2003/5/30

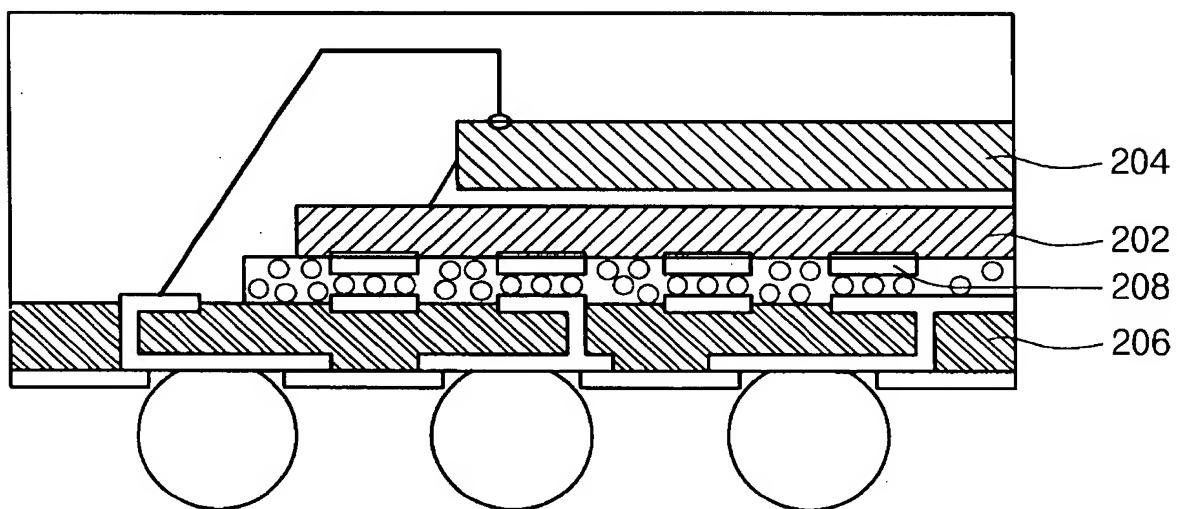
상기 리드프레임은 상기 제1 반도체 소자와 상기 제2 반도체 소자의 전기적 연결을 위하여 소정 패턴을 갖는 것을 특징으로 하는 반도체 장치.

【도면】

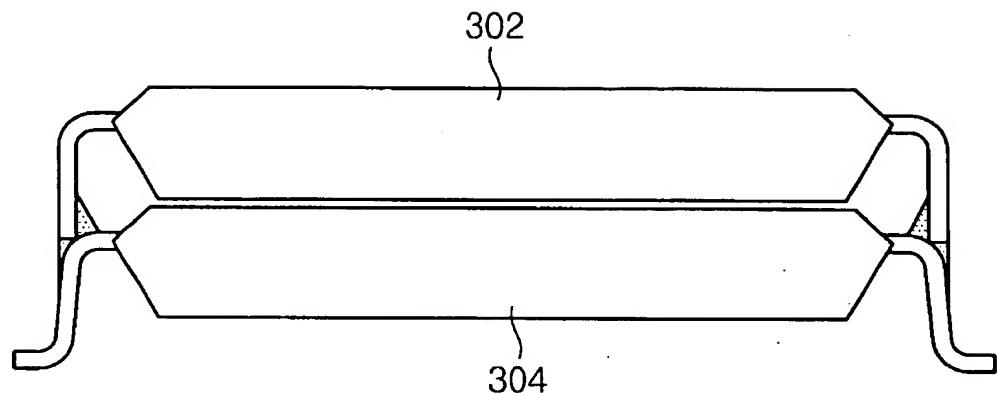
【도 1】



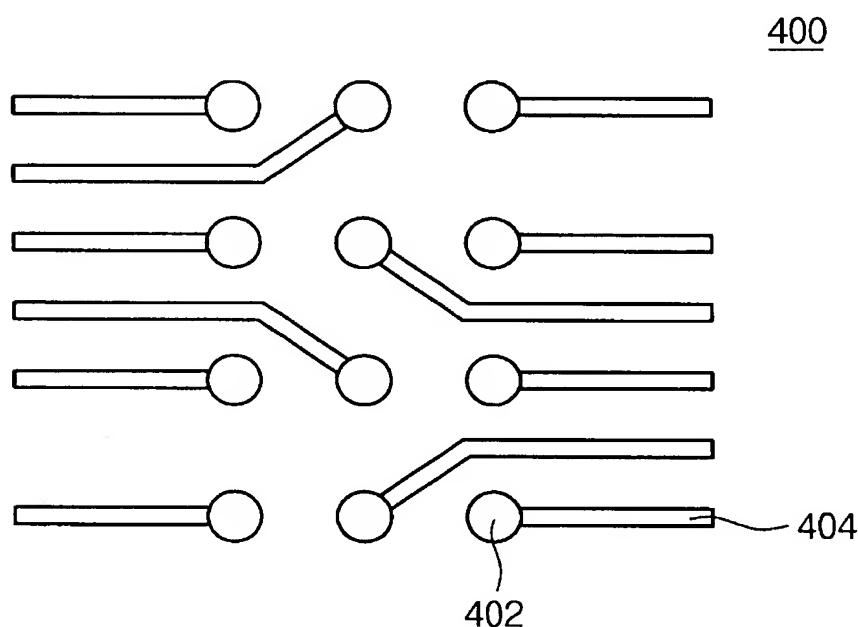
【도 2】



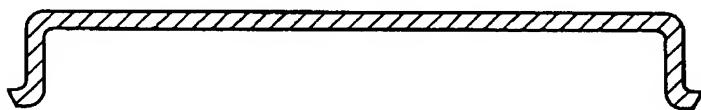
【도 3】



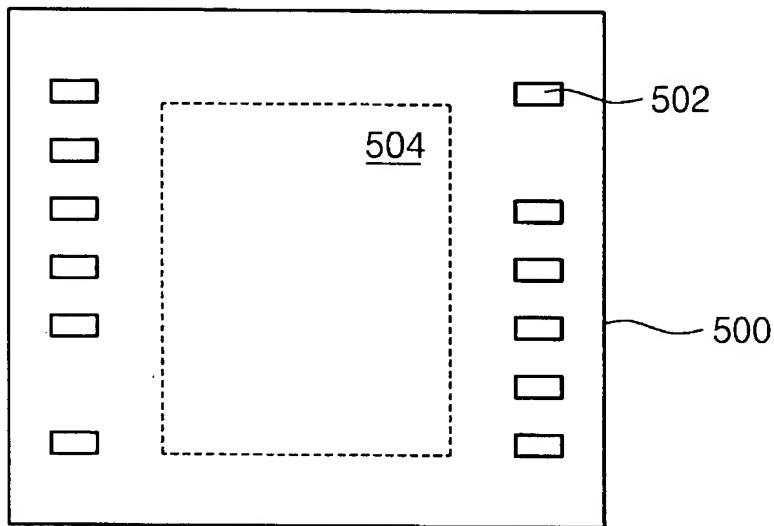
【도 4a】



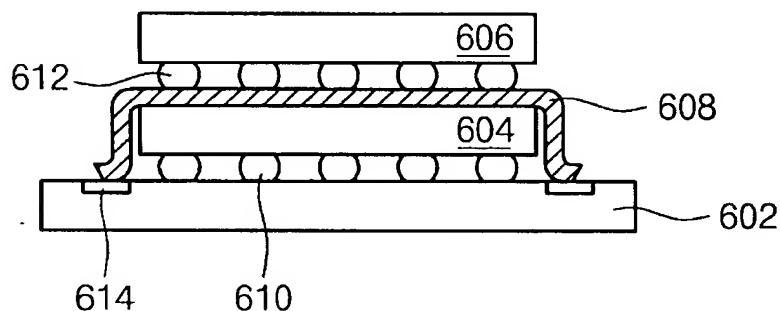
【도 4b】



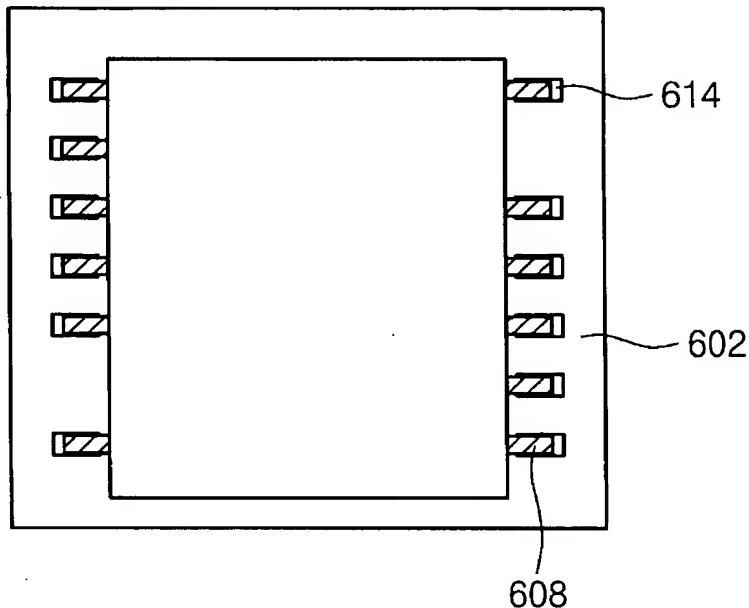
【도 5】



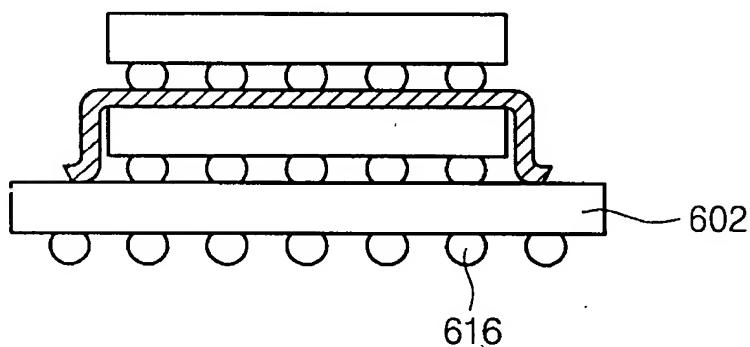
【도 6a】



【도 6b】



【도 6c】



【도 7】

